

Docket No.: 60188-077

#5
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Shinji Ozaki

Serial No.:

Group Art Unit:

Filed: June 11, 2001

Examiner:

For: CIRCUIT FOR MODIFYING STORED DATA



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2000-174798,
Filed June 12, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:ykg
Date: June 11, 2001
Facsimile: (202) 756-8087

日本国特許
PATENT OFFICE
JAPANESE GOVERNMENT

600100-
June 11, 2001
OZAKI
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載され
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 6月12日

願番号
Application Number:

特願2000-174798

願人
Applicant(s):

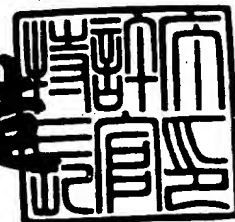
松下電器産業株式会社

CERTIFIED COPY OF
DOCUMENT

2001年 4月13日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3030423

JC975 U.S. PTO
09/077232
06/11/01

【書類名】 特許願

【整理番号】 5037710165

【提出日】 平成12年 6月12日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 12/06 530

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 尾▲崎▼ 伸治

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記憶データ修正回路

【特許請求の範囲】

【請求項 1】 2^N (N は自然数) バイト幅の出力を持ち、アドレス信号が示す 2^N の倍数のアドレスから記憶された 2^N バイトのデータを読み出して出力する記憶手段について、出力データの修正を行う記憶データ修正回路であって、

2^N バイト幅の修正データを保持するデータレジスタと、

修正アドレスを保持するアドレスレジスタと、

前記アドレス信号および前記修正アドレスを入力とし、前記修正アドレスが、前記アドレス信号が示すアドレスの、以降の 2^N 個および手前の 2^N 個のアドレスのうちのいずれかに該当するとき、隣接一致を検出する隣接一致回路と、

前記隣接一致回路が隣接一致を検出したとき、前記記憶手段の出力データおよび前記修正データのいずれかを、バイト単位で、前記アドレス信号および前記修正アドレスに応じて、選択出力する記憶データ選択部とを備え、

前記記憶データ選択部の出力を、修正済記憶データとして出力することを特徴とする記憶データ修正回路。

【請求項 2】 請求項 1 記載の記憶データ修正回路において、

前記記憶データ選択部は、

前記記憶手段の出力データおよび前記修正データを入力とし、バイト単位で、そのいずれかを、選択出力するバイト切替回路と、

前記アドレス信号の第 N ビット、前記修正アドレスの下位 ($N+1$) ビット、および前記隣接一致回路の出力を入力とし、前記バイト切替回路の選択動作の制御を行うバイト切替制御回路とを備えたものである

ことを特徴とする記憶データ修正回路。

【請求項 3】 請求項 2 記載の記憶データ修正回路において、

前記バイト切替制御回路は、

前記バイト切替回路における第 M (M は $0 \leq M < (2^N)$ の整数) バイトの出力として、

前記隣接一致回路によって隣接一致が検出され、かつ、前記アドレス信号の第

Nビットの値と前記修正アドレスの第Nビットの値が等しくかつ前記修正アドレスの下位Nビットの値が(M+1)未満、または、前記アドレス信号の第Nビットの値と前記修正アドレスの第Nビットの値が異なりかつ前記修正アドレスの下位Nビットの値が(M+1)以上である場合は、前記修正データの第Mバイトが選択される一方、

そうでない場合は、前記記憶手段の出力の第Mバイトが選択されるように、制御するものである

ことを特徴とする記憶データ修正回路。

【請求項4】 請求項1記載の記憶データ修正回路において、

前記修正データを、バイト単位で 前記修正アドレスの下位Nビットの値に相当するバイト数分ローテートするデータローテート回路を備え、

前記記憶データ選択部は、

前記修正データの代わりに、前記データローテート回路の出力を、選択対象として入力するものである

ことを特徴とする記憶データ修正回路。

【請求項5】 請求項1記載の記憶データ修正回路において、

前記隣接一致回路は、

下位Nビットを除く前記アドレス信号の値から下位Nビットを除く前記修正アドレスの値を減算した結果が「0」または「1」のとき、隣接一致を検出するのである

ことを特徴とする記憶データ修正回路。

【請求項6】 2^N (Nは自然数) バイト幅の出力を持ち、アドレス信号が示す 2^N の倍数のアドレスから記憶された 2^N バイトのデータを読み出して出力する記憶手段について、出力データの修正を行う記憶データ修正回路であって、

2^N バイト幅の修正データをそれぞれ保持する複数のデータレジスタと、

前記各データレジスタに対応して設けられ、修正アドレスをそれぞれ保持する複数のアドレスレジスタと、

前記アドレスレジスタおよびデータレジスタの各組合わせに対応してそれぞれ設けられ、前記アドレス信号および対応する前記アドレスレジスタに保持された

修正アドレスを入力とし、この修正アドレスが、前記アドレス信号が示すアドレスの、以降の 2^N 個および手前の $(2^N - 1)$ 個のアドレスのうちのいずれかに該当するとき、隣接一致を検出する複数の隣接一致回路と、

前記複数の隣接一致回路の出力を入力とし、隣接一致を検出した隣接一致回路に対応するデータレジスタに保持された修正データを、選択修正データとして出力するデータレジスタ切替回路と、

前記複数の隣接一致回路の出力を入力とし、隣接一致を検出した隣接一致回路に対応するアドレスレジスタに保持された修正アドレスを、選択修正アドレスとして出力するアドレスレジスタ切替回路と、

前記隣接一致回路が隣接一致を検出したとき、前記記憶手段の出力および前記データレジスタ切替回路から出力された選択修正データのいずれかを、バイト単位で、前記アドレス信号および前記アドレスレジスタ切替回路から出力された選択修正アドレスに応じて、選択出力する記憶データ選択部とを備えた

前記記憶データ選択部の出力を、修正済記憶データとして出力することを特徴とする記憶データ修正回路。

【請求項 7】 請求項 6 記載の記憶データ修正回路において、

前記記憶データ選択部は、

前記記憶手段の出力および前記データレジスタ切替回路から出力された選択修正データを入力とし、バイト単位で、そのいずれかを選択出力するバイト切替回路と、

前記アドレス信号の第 N ビット、前記アドレスレジスタ切替回路から出力された選択修正アドレスの下位 $(N + 1)$ ビット、および前記複数の隣接一致回路の出力を入力とし、前記バイト切替回路の選択動作の制御を行うバイト切替制御回路とを備えたものである

ことを特徴とする記憶データ修正回路。

【請求項 8】 請求項 7 記載の記憶データ修正回路において、

前記バイト切替制御回路は、

前記バイト切替回路における第 M (M は $0 \leq M < (2^N)$ の整数) バイトの出力として、

前記複数の隣接一致回路のいずれかによって隣接一致が検出され、かつ、前記アドレス信号の第Nビットの値と前記選択修正アドレスの第Nビットの値が等しくかつ前記選択修正アドレスの下位Nビットの値が(M+1)未満、または、前記アドレス信号の第Nビットの値と前記選択修正アドレスの第Nビットの値が異なりかつ前記選択修正アドレスの下位Nビットの値が(M+1)以上である場合は、前記修正データの第Mバイトが選択される一方、

そうでない場合は、前記記憶手段の出力の第Mバイトが選択されるように、制御する

ことを特徴とする記憶データ修正回路。

【請求項9】 請求項6記載の記憶データ修正回路において、

前記選択修正データを、バイト単位で、前記選択修正アドレスの下位Nビットの値に相当するバイト数分ローテートするデータローテート回路を備え、

前記記憶データ選択部は、

前記選択修正データの代わりに、前記データローテート回路の出力を、選択対象として入力するものである

ことを特徴とする記憶データ修正回路。

【請求項10】 請求項6記載の記憶データ修正回路において、

前記複数の隣接一致回路は、それぞれ、

下位Nビットを除く前記アドレス信号の値から下位Nビットを除く前記修正アドレスの値を減算し、この減算結果が「0」のとき、または減算結果が「1」でありかつ前記修正アドレスの下位Nビットの値が「0」でないとき、隣接一致を検出するものである

ことを特徴とする記憶データ修正回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マイクロプロセッサやデジタルシグナルプロセッサ(DSP)等のLSIに用いられるマスクROMのような記憶手段に記録されたデータの、誤りを修正するための回路技術に属する。

【0002】

【従来の技術】

近年、マイクロプロセッサやDSP等のデジタルLSIは、年々、その集積度が向上し、大容量のメモリ回路を搭載するようになっている。特に、マスクROMは、他のメモリ素子と比較してより大容量を集積することが可能であり、主にプロセッサが実行するプログラムの格納に用いられる。

【0003】

マスクROMは書き換え不能な記憶素子であり、プロセッサが実行するプログラムやデータは、LSIの製造段階において書き込まれる。ところが、プログラムの量が大きくなるにつれて、そのプログラムに誤りが含まれる可能性が高くなり、LSIの製造段階においてプログラムの誤りを完全に除去することは困難になってきている。そこで、LSIの製造段階でマスクROMに記録したプログラムやデータに誤りがある場合に、その誤りをLSIの使用時において修正できるような機能が必要になっている。

【0004】

図7は従来の記憶データ修正回路の一例を示すブロック図である。図7において、マスクROM61はマイクロプロセッサ62が出力するアドレス信号SADが示すアドレスに記憶したデータを、ROMデータ信号SROMとして出力する。一方、一致回路65は、アドレス信号SADとアドレスレジスタ66の出力値とを比較し、一致したとき一致信号SC1を出力する。切替回路68は、一致信号SC1が出力されたときはデータレジスタ69の出力値値を選択する一方、一致信号SC1が出力されなかったときはROMデータ信号SROMを選択し、データ信号SDTとしてマイクロプロセッサ62に送る。

【0005】

図7の構成において、マスクROM61に記録されたプログラムやデータに誤りが見つかったときは、誤りのあるアドレスをアドレスレジスタ66に設定し、修正を行う値をデータレジスタ69に設定する。これにより、マイクロプロセッサ62が誤りのないアドレスに対してアクセスを行ったときは、マスクROM61から読み出された値がマイクロプロセッサ62に送られる。一方、マイクロ

ロセッサ 6 2 が誤りのあるアドレスに対してアクセスを行ったときは、データレジスタ 6 9 に設定した修正データがマイクロプロセッサ 6 2 に送られる。したがって、マスク ROM 6 1 に記録された誤ったプログラムやデータを修正することができる。

【 0 0 0 6 】

【発明が解決しようとする課題】

上述した従来の構成では、マイクロプロセッサが誤りのあるアドレスに対してアクセスを行ったとき、マスク ROM から読み出されたデータが、データレジスタに設定した修正データに一括して切り替えられる。

【 0 0 0 7 】

しかしながら、この構成では、複数バイト幅、例えば 4 バイト幅の出力を持ち、4 バイトのデータを一括して読み出す構成のマスク ROM を用いたときには、誤りの修正についても、4 バイトアライン（4 の倍数）のアドレスから始まる 4 バイトのデータが一括して修正されることになる。この場合、任意のアドレスから修正を行うことが困難になる。

【 0 0 0 8 】

特に、マイクロプロセッサとして、1 命令を構成する命令コードのバイト数が命令種毎に異なる命令体系を持ったものを用いる場合には、プログラム中の 1 個の命令の命令コードが、マスク ROM において 4 バイトアラインのアドレスを跨いで配置される場合がある。このようなアクセスの境界を跨ぐ命令について、上述した従来の構成では、その命令のバイト数が 4 以下であっても、修正することが困難である。

【 0 0 0 9 】

前記の問題に鑑み、本発明は、複数バイト幅出力のマスク ROM のような記憶手段について、任意のアドレスからのデータ修正が可能である記憶データ修正回路を提供することを課題とする。

【 0 0 1 0 】

【課題を解決するための手段】

前記の課題を解決するために、本発明に係る記憶データ修正回路は、修正アド

レスまたはこれに隣接したアドレスに対するアクセスを検出する隣接一致回路と、修正アドレスの下位ビットの値に従って記憶手段の出力と修正データとの切り替えをバイト単位で制御する記憶データ選択部とを備えている。

【 0 0 1 1 】

具体的には、請求項 1 の発明が講じた解決手段は、 2^N （ N は自然数）バイト幅の出力を持ち、アドレス信号が示す 2^N の倍数のアドレスから記憶された 2^N バイトのデータを読み出して出力する記憶手段について、出力データの修正を行う記憶データ修正回路として、 2^N バイト幅の修正データを保持するデータレジスタと、修正アドレスを保持するアドレスレジスタと、前記アドレス信号および前記修正アドレスを入力とし、前記修正アドレスが、前記アドレス信号が示すアドレスの、以降の 2^N 個および手前の 2^N 個のアドレスのうちのいずれかに該当するとき、隣接一致を検出する隣接一致回路と、前記隣接一致回路が隣接一致を検出したとき、前記記憶手段の出力データおよび前記修正データのいずれかを、バイト単位で、前記アドレス信号および前記修正アドレスに応じて選択出力する記憶データ選択部とを備え、前記記憶データ選択部の出力を、修正済記憶データとして出力するものである。

【 0 0 1 2 】

請求項 1 の発明によると、隣接一致回路によって、修正アドレスまたはこれに隣接したアドレスに対するアクセスを検出することができ、検出されたときには、記憶データ選択部によって、記憶手段の出力データおよび修正データのいずれかがバイト単位で、アドレス信号および修正アドレスに応じて選択される。これによって、任意のアドレスからのデータ修正が可能になり、アクセスの境界を跨ぐように記憶された命令コードの修正も可能になる。

【 0 0 1 3 】

そして、請求項 2 の発明では、前記請求項 1 の記憶データ修正回路における記憶データ選択部は、前記記憶手段の出力データおよび前記修正データを入力とし、バイト単位でそのいずれかを選択出力するバイト切替回路と、前記アドレス信号の第 N ビット、前記修正アドレスの下位 $(N+1)$ ビットおよび前記隣接一致回路の出力を入力とし、前記バイト切替回路の選択動作の制御を行うバイト切替

制御回路とを備えたものとする。

【0014】

さらに、請求項3の発明では、前記請求項2の記憶データ修正回路におけるバイト切替制御回路は、前記バイト切替回路における第M ($0 \leq M < (2^N)$ の整数) バイトの出力として、前記隣接一致回路によって隣接一致が検出され、かつ、前記アドレス信号の第Nビットの値と前記修正アドレスの第Nビットの値が等しくかつ前記修正アドレスの下位Nビットの値が(M+1)未満、または、前記アドレス信号の第Nビットの値と前記修正アドレスの第Nビットの値が異なりかつ前記修正アドレスの下位Nビットの値が(M+1)以上である場合は、前記修正データの第Mバイトが選択される一方、そうでない場合は、前記記憶手段の出力の第Mバイトが選択されるように、制御するものとする。この制御は、リトルエンディアンのバイトアドレスが採用されている場合に有効である。

【0015】

また、請求項4の発明では、前記請求項1の記憶データ修正回路は、前記修正データを、バイト単位で 前記修正アドレスの下位Nビットの値に相当するバイト数分ローテートするデータローテート回路を備え、前記記憶データ選択部は、前記修正データの代わりに、前記データローテート回路の出力を選択対象として入力するものとする。

【0016】

請求項4の発明によると、修正データを、修正を行う並び順のままデータレジスタに、設定することが可能になる。

【0017】

また、請求項5の発明では、前記請求項1の記憶データ修正回路における隣接一致回路は、下位Nビットを除く前記アドレス信号の値から、下位Nビットを除く前記修正アドレスの値を減算した結果が「0」または「1」のとき、隣接一致を検出するものとする。

【0018】

また、請求項6の発明が講じた解決手段は、 2^N (Nは自然数) バイト幅の出力を持ち、アドレス信号が示す 2^N の倍数のアドレスから記憶された 2^N バイト

のデータを読み出して出力する記憶手段について、出力データの修正を行う記憶データ修正回路として、 2^N バイト幅の修正データをそれぞれ保持する複数のデータレジスタと、前記各データレジスタに対応して設けられ、修正アドレスをそれぞれ保持する複数のアドレスレジスタと、前記アドレスレジスタおよびデータレジスタの各組合わせに対応してそれぞれ設けられ、前記アドレス信号および対応する前記アドレスレジスタに保持された修正アドレスを入力とし、この修正アドレスが、前記アドレス信号が示すアドレスの、以降の 2^N 個および手前の $(2^N - 1)$ 個のアドレスのうちのいずれかに該当するとき、隣接一致を検出する複数の隣接一致回路と、前記複数の隣接一致回路の出力を入力とし、隣接一致を検出した隣接一致回路に対応するデータレジスタに保持された修正データを選択修正データとして出力するデータレジスタ切替回路と、前記複数の隣接一致回路の出力を入力とし、隣接一致を検出した隣接一致回路に対応するアドレスレジスタに保持された修正アドレスを選択修正アドレスとして出力するアドレスレジスタ切替回路と、前記隣接一致回路が隣接一致を検出したとき、前記記憶手段の出力および前記データレジスタ切替回路から出力された選択修正データのいずれかをバイト単位で前記アドレス信号および前記アドレスレジスタ切替回路から出力された選択修正アドレスに応じて選択出力する記憶データ選択部とを備え、前記記憶データ選択部の出力を修正済記憶データとして出力するものである。

【 0 0 1 9 】

そして、請求項 7 の発明では、前記請求項 6 の記憶データ修正回路における記憶データ選択部は、前記記憶手段の出力および前記データレジスタ切替回路から出力された選択修正データを入力とし、バイト単位でそのいずれかを選択出力するバイト切替回路と、前記アドレス信号の第 N ビット、前記アドレスレジスタ切替回路から出力された選択修正アドレスの下位 $(N + 1)$ ビットおよび前記複数の隣接一致回路の出力を入力とし、前記バイト切替回路の選択動作の制御を行うバイト切替制御回路とを備えたものとする。

【 0 0 2 0 】

さらに、請求項 8 の発明では、前記請求項 7 の記憶データ修正回路におけるバイト切替制御回路は、前記バイト切替回路における第 M (M は $0 \leq M < (2^N)$)

の整数) バイトの出力として、前記複数の隣接一致回路のいずれかによって隣接一致が検出され、かつ、前記アドレス信号の第Nビットの値と前記選択修正アドレスの第Nビットの値が等しくかつ前記選択修正アドレスの下位Nビットの値が(M+1)未満、または、前記アドレス信号の第Nビットの値と前記選択修正アドレスの第Nビットの値が異なりかつ前記選択修正アドレスの下位Nビットの値が(M+1)以上である場合は、前記修正データの第Mバイトが選択される一方、そうでない場合は、前記記憶手段の出力の第Mバイトが選択されるように制御するものである。この制御は、リトルエンディアンのバイトアドレスが採用されている場合に有効である。

【 0 0 2 1 】

また、請求項9の発明では、前記請求項6の記憶データ修正回路は、前記選択修正データをバイト単位で前記選択修正アドレスの下位Nビットの値に相当するバイト数分ローテートするデータローテート回路を備え、前記記憶データ選択部は、前記選択修正データの代わりに、前記データローテート回路の出力を選択対象として入力するものとする。

【 0 0 2 2 】

請求項9の発明によると、修正データを、修正を行う並び順のままデータレジスタに、設定することが可能になる。

【 0 0 2 3 】

また、請求項10の発明では、前記請求項6の記憶データ修正回路における複数の隣接一致回路はそれぞれ、下位Nビットを除く前記アドレス信号の値から下位Nビットを除く前記修正アドレスの値を減算し、この減算結果が「0」のとき、または減算結果が「1」でありかつ前記修正アドレスの下位Nビットの値が「0」でないとき、隣接一致を検出するものとする。

【 0 0 2 4 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【 0 0 2 5 】

(第1の実施形態)

図1は本発明の第1の実施形態に係る記憶データ修正回路の構成図である。この回路はLSIに内蔵されており、いわゆる1チップマイコンの一部を構成している。

【0026】

図1において、マイクロプロセッサ12は32ビット構成のプロセッサであり、アドレス信号SADを出力してマスクROM11に対するアクセスを行う。記憶手段としてのマスクROM11にはマイクロプロセッサ12が実行するプログラムが格納されている。

【0027】

マスクROM11は4 ($= 2^2$) バイト幅の出力を持ち、4バイト (32ビット) のデータを一括して読み出すように構成されている。すなわち、アドレス信号SADは4の倍数のアドレス (すなわち下位2ビットが「0」) を指定するものであり、マスクROM11は一回の読み出しアクセスにおいて、アドレス信号SADが指定する4の倍数のアドレスから始まる連続4バイトのデータをROMデータ信号SROMとして出力する。なお、マスクROM11は、マイクロプロセッサ12が実行するプログラム以外に、マイクロプロセッサ12が処理に用いるデータもその一部に格納する。

【0028】

マイクロプロセッサ12は、1個の命令を構成する命令コードのバイト数が命令種毎に異なる命令体系を有しており、これによって、効率的なプログラミングが可能になっている。しかしながら、各命令はマスクROM11の任意のアドレスに記憶されるので、1個の命令を構成する命令コードが、1回の読み出しアクセスによって読み出される範囲 (アドレス信号SADが指定するアドレスから始まる4バイト) に収まらず、2回またはそれ以上の読み出しアクセスを必要とする範囲にわたって配置される場合がある。

【0029】

またここでは、マイクロプロセッサ12はリトルエンディアンのバイトアドレスを採用しているものとする。すなわち、マスクROM11から読み出された4バイトのデータは、アドレス信号SADが指定するアドレスのデータから順に、

ワード内の第0バイト、第1バイト、第2バイト、第3バイトとして用いられる。

【0030】

アドレスレジスタ13は修正アドレスSCADを保持し、データレジスタ14は4バイト（32ビット）の修正データSCDTを保持する。アドレスレジスタ13およびデータレジスタ14には、シリアル書込クロック信号CLKおよびシリアル書込データ信号WDTがそれぞれ入力される。これらの信号CLK、WDTは、図1の修正回路を内蔵する1チップマイコンの外部端子から供給される。そして、シリアル書込データ信号WDTの値をシリアル書込クロック信号CLKに同期して変化させることによって、アドレスレジスタ13とデータレジスタ14に、修正アドレスSCADおよび修正データSCDTとして、1チップマイコンの外部から任意の値が設定可能になっている。

【0031】

マイクロプロセッサ12から出力されたアドレス信号SADはマスクROM11以外に、隣接一致回路15にも入力される。隣接一致回路15は、入力されたアドレス信号SADとアドレスレジスタ13に設定された修正アドレスSCADとの比較を行い、隣接一致信号SCOを出力する。

【0032】

隣接一致回路15は、修正アドレスSCADが、アドレス信号SADが示すアドレスの、以降の4個のアドレスおよび手前の4個のアドレスに含まれるとき、隣接一致信号SCOとして“H”を出力する。すなわち、アドレス信号SADが、修正アドレスSCADを含む4バイトアラインから始まる4バイトとこれに続く4バイトへのアクセスを指したとき、隣接一致信号SCOとして“H”を出力する。具体的には、隣接一致回路15は、下位2ビットを除いたアドレス信号SADの値から下位2ビットを除いた修正アドレスSCADの値を減算し、減算結果が「0」または「1」のとき（これは（アドレス信号SAD－修正アドレスSCAD）の演算結果が「-3」以上「4」以下である場合に相当する）、隣接一致信号SCOとして“H”を出力する。

【0033】

隣接一致信号 S C O は、バイト切替制御回路 1 8 に入力され、バイト切替回路 1 9 の制御に用いられる。バイト切替制御回路 1 8 およびバイト切替回路 1 9 によって、記憶データ選択部 1 7 が構成されている。

【 0 0 3 4 】

図 2 は記憶データ選択部 1 7 の構成の詳細を示す図である。図 2 に示すように、バイト切替回路 1 9 は、4 バイト幅の ROM データ信号 S R O M とデータレジスタ 1 4 から出力された 4 バイト幅の修正データ S C D T とを入力とする。そして、ROM データ信号 S R O M および修正データ S C D T の各バイトに対応して設けられた 4 個の切替回路 1 9 a ~ 1 9 d によって、バイト単位で、ROM データ信号 S R O M および修正データ S C D T のいずれかを選択し、データ信号 S D T として出力する。出力されたデータ信号 S D T は修正済記憶データとしてマイクロプロセッサ 1 2 に送られる。

【 0 0 3 5 】

各切替回路 1 9 a ~ 1 9 b の選択動作は、バイト切替制御回路 1 8 が出力する 4 個のバイト切替制御信号 S S a ~ S S d によって、それぞれ制御される。各切替回路 1 9 a ~ 1 9 b は、バイト切替制御信号 S S a ~ S S d が “H” のときは修正データ S C D T を選択し、そうでないときは ROM データ信号 S R O M を選択する。

【 0 0 3 6 】

バイト切替制御回路 1 8 は隣接一致信号 S C O に加えて、修正アドレス S C A D の下位 3 (= 2 + 1) ビットおよびアドレス信号 S A D の第 2 ビットを入力とし、バイト切替制御信号 S S a ~ S S d を生成する。バイト切替制御回路 1 8 は、隣接一致信号 S C O が “H” であり、かつ、以下の条件が成立したとき、切替回路 1 9 a ~ 1 9 d が修正データ S C D T を選択するように、バイト切替制御信号 S S a ~ S S d として “H” を出力する。

- ・バイト切替制御信号 S S a

修正アドレス S C A D の第 2 ビットの値がアドレス信号 S A D の第 2 ビットの値と等しいとき

- ・バイト切替制御信号 S S b

修正アドレス SCAD の第 2 ビットの値がアドレス信号 SAD の第 2 ビットの値と等しく、かつ、修正アドレス SCAD の下位 2 ビットの値が「3」未満、または、

修正アドレス SCAD の第 2 ビットの値がアドレス信号 SAD の第 2 ビットの値と異なり、かつ、修正アドレス SCAD の下位 2 ビットの値が「3」以上のとき

・ バイト切替制御信号 SSc

修正アドレス SCAD の第 2 ビットの値がアドレス信号 SAD の第 2 ビットの値と等しく、かつ、修正アドレス SCAD の下位 2 ビットの値が「2」未満、または、

修正アドレス SCAD の第 2 ビットの値がアドレス信号 SAD の第 2 ビットの値と異なり、かつ、修正アドレス SCAD の下位 2 ビットの値が「2」以上のとき

・ バイト切替制御信号 SSd

修正アドレス SCAD の第 2 ビットの値がアドレス信号 SAD の第 2 ビットの値と等しく、かつ、修正アドレス SCAD の下位 2 ビットの値が「1」未満、または、

修正アドレス SCAD の第 2 ビットの値がアドレス信号 SAD の第 2 ビットの値と異なり、かつ、修正アドレス SCAD の下位 2 ビットの値が「1」以上

【0037】

以上のように構成された記憶データ修正回路について、以下、その動作を説明する。

【0038】

図 3 (a) は 1 チップマイコンの製造時にマスク ROM 11 に記憶されたプログラムのリストの一部であって、修正前のものである。ここでは（後述する他のプログラムリストも同様）、最右欄に命令のニーモニックが、中央欄にその命令の命令コード（16 進数表記）が、そして最左欄にその命令が記憶されているアドレス（16 進数表記）が示されている。図 3 (a) のプログラムリストでは 3 個の命令が記載されており、4080 番地にはメモリに記憶したデータをレジス

タに読み込む命令 (MOV) が、4081番地には読み出したデータを用いて加算を行う命令 (ADD) が、そして4085番地には加算結果をメモリに記録する命令 (MOV) が、それぞれ配置されている。これらの命令の命令コードのサイズはそれぞれ、1バイト、4バイトおよび3バイトである。ここで、2番目の ADD 命令の命令コードは、2回の読み出しアクセスを必要とする範囲 (4080番地から始まる4バイトと4084番地から始まる4バイト) にわたって配置されている。

【0039】

図3 (a) に示すプログラムが修正なしでそのまま用いられる場合には、マスクROM11から4バイト単位で出力されるROMデータ信号SROMは、そのままマイクロプロセッサ12に送られる。

【0040】

まず、4080番地から始まる4バイト (順に「70」「FA」「C0」「34」) がROMデータ信号SROMとして出力される。このとき、アドレスレジスタ13には修正アドレスSCADが設定されていないので、隣接一致回路15が隣接一致信号SCOとして“H”を出力することではなく、バイト切替制御回路18から出力されるバイト切替制御信号SSa～SSdはいずれも“L”のままである。したがって、バイト切替回路19はROMデータ信号SROMとして入力される4バイトのデータをそのままデータ信号SDTとして出力する。この結果、マスクROM11に記憶された4080番地から始まる4バイトのデータがそのままマイクロプロセッサ12に送られる。同様に、4084番地から始まる4バイト (順に「12」「02」「AB」「89」) が、そのままデータ信号SDTとしてマイクロプロセッサ12に送られる。

【0041】

ここで、マスクROM11にプログラムが書き込まれ、1チップマイコンとして製造された後に、4081番地のADD命令に誤りが発見されたものとする。このとき、図3 (b) に示すように、4081番地のADD命令をサブルーチン分岐命令 (CALL) に置き換えることによって、このプログラムの誤りを修正するものとする。

【0042】

この修正を行うために、マイクロプロセッサ12がプログラムを実行する以前例えばリセット期間中に、1チップマイコンの外部端子からシリアル書込クロック信号CLKとシリアル書込データ信号WDTによって、アドレスレジスタ13に修正アドレスSCADとして4081番地を設定するとともに、データレジスタ14に修正データSCDTとして命令コード(FA, FF, 67, 45)を設定する。

【0043】

なお、修正データSCDTの設定は、修正アドレスSCADの下位2ビットの値が示すバイト位置から順に行う必要がある。この例では、修正アドレスSCAD(4081番地)の下位2ビットの値は「1」であるので、修正データSCDTの先頭データ「FA」をデータレジスタ14の第1バイトに配置し、以降、データ「FF」「67」「45」をそれぞれ第2バイト、第3バイトおよび第0バイトに配置する。

【0044】

修正アドレスSCADおよび修正データSCDTが設定された後の動作について、説明する。

【0045】

マイクロプロセッサ12が4080番地をアクセスするとき、プログラム未修正時と同様に、マスクROM11からはROMデータ信号SROMとして、製造時に書き込まれたデータすなわち「70」「FA」「C0」「34」が出力される。このとき、隣接一致回路15は上述したような動作によって、アドレス信号SAD(4080番地)とアドレスレジスタ13から出力された修正アドレスSCAD(4081番地)とを比較し、隣接一致信号SCOとして“H”を出力する。

【0046】

バイト切替制御回路18は、アドレス信号SADの第2ビットが“0”であり、修正アドレスSCADの第2ビットが“0”、下位2ビットの値が「1」であることから、バイト切替制御信号SSa～SScとして“H”を出力し、バイト

切替制御信号SSdとして“L”を出力する。これにより、バイト切替回路19において、切替回路19a～19cはデータレジスタ14から出力された修正データSCDTを選択する一方、切替回路19dは修正前と同様にROMデータ信号SROMを選択する。この結果、データ信号SDTとして、第0バイトに「70」、第1バイトに「FA」、第2バイトに「FF」、第3バイトに「67」が出力される。

【0047】

また、マイクロプロセッサ12が4084番地をアクセスするとき、プログラム未修正時と同様に、マスクROM11からはROMデータ信号SROMとして、製造時に書き込まれたデータすなわち「12」「02」「AB」「89」が出力される。この場合にも、隣接一致回路15はアドレス信号SAD（4084番地）と修正アドレスSCAD（4081番地）とを比較し、隣接一致信号SCOとして“H”を出力する。

【0048】

バイト切替制御回路18は、アドレス信号SADの第2ビットが“1”であるので、ここでは、バイト切替制御信号SSa～SScとして“L”を出力し、バイト切替制御信号SSdとして“H”を出力する。これにより、バイト切替回路19において、切替回路19a～19cはROMデータ信号SROMを選択する一方、切替回路19dは修正データSCDTを選択する。この結果、データ信号SDTとして、第0バイトに「45」、第1バイトに「02」、第2バイトに「AB」、第3バイトに「89」が出力される。

【0049】

一方、マイクロプロセッサ12が4080番地と4084番地以外をアクセスする場合は、隣接一致回路15は隣接一致信号SCOとして“L”を出力する。これにより、マスクROM11から出力されたROMデータ信号SROMが、そのままデータ信号SDTとしてマイクロプロセッサ12に送られる。

【0050】

このように、アドレスレジスタ13に修正アドレスSCADとして4081番地を設定し、データレジスタ14に修正データSCDTとして「45」「FA」

「FF」「67」を設定することによって、4080番地に対するアクセスにおいては「70」「FA」「FF」「67」の4バイトが、4084番地に対するアクセスにおいては「45」「02」「AB」「89」の4バイトが、データ信号SDTとしてマイクロプロセッサ12に送られる。この結果、図3(b)に示すようなプログラムの修正が実現される。

【0051】

以上のように本実施形態によると、隣接一致回路15とバイト切替制御回路18の制御により、バイト切替回路19において、マスクROM11の出力SROMと修正データSCDTとをバイト単位で選択することによって、図3の例のように2回の読み出しアクセスを必要とする範囲にわたって配置された命令（命令コードが4バイト以下）を、容易に修正することができる。

【0052】

なお、本実施形態では、マイクロプロセッサ12はリトルエンディアンのバイトアドレスを採用しているものとしたが、ビッグエンディアンのバイトアドレスを採用したマイクロプロセッサを用いた場合でも、本発明は容易に適用可能である。この場合、バイト切替制御回路18が出力するバイト切替制御信号SSa～SSdとバイト切替回路19の切替回路19a～19dとの対応関係を変更し、各バイト切替制御信号SSa～SSdが、切替回路19d～19aをそれぞれ制御するようにすればよい。

【0053】

（第2の実施形態）

図4は本発明の第2の実施形態に係る記憶データ修正回路の構成図である。この回路もLSIに内蔵されており、いわゆる1チップマイコンの一部を構成している。図4において、図1と共通の構成要素には、図1と同一の符号を付しており、ここではその詳細な説明を省略する。

【0054】

図4の構成では、アドレスレジスタおよびデータレジスタをそれぞれ2個ずつ設けており、これにより、マスクROM11に記憶されたデータの2箇所の誤りを修正可能になっている。

【0055】

第1および第2のアドレスレジスタ23A, 23Bは修正アドレスSCAD1, SCAD2をそれぞれ保持し、第1および第2のデータレジスタ24A, 24Bは4バイト(32ビット)の修正データSCDT1, SCDT2をそれぞれ保持する。アドレスレジスタ23A, 23Bおよびデータレジスタ24A, 24Bには、第1の実施形態と同様に、シリアル書込クロック信号CLKおよびシリアル書込データ信号WDTによって、1チップマイコンの外部から、修正アドレスSCAD1, SCAD2および修正データSCDT1, SCDT2として、任意の値が設定可能になっている。

【0056】

第1および第2の隣接一致回路25A, 25Bはそれぞれ、入力されたアドレス信号SADと、第1および第2のアドレスレジスタ23A, 23Bに設定された修正アドレスSCAD1, SCAD2との比較を行い、隣接一致信号SCO1, SCO2を出力する。隣接一致回路25Aおよび25Bは、各修正アドレスSCAD1, SCAD2が、アドレス信号SADが示すアドレスの、以降の4個のアドレスおよび手前の3個のアドレスに含まれるとき、隣接一致信号SCO1, SCO2として“H”を出力する。

【0057】

すなわち、修正アドレスSCAD1, SCAD2の下位2ビットが“0”でない場合は、アドレス信号SADが、修正アドレスSCAD1, SCAD2を含む4バイトアラインから始まる4バイトとこれに続く4バイトへのアクセスを指したとき、隣接一致信号SCO1, SCO2として“H”を出力する。ところが、修正アドレスSCAD1, SCAD2の下位2ビットが“0”の場合は、アドレス信号SADが修正アドレスSCAD1, SCAD2と一致したときにのみ、隣接一致信号SCO1, SCO2として“H”を出力する。この点で、本実施形態に係る隣接一致回路25A, 25Bは、第1の実施形態に係る隣接一致回路15とは、その動作が異なる。

【0058】

具体的には、隣接一致回路25A, 25Bは、下位2ビットを除いたアドレス

信号 SAD の値から下位 2 ビットを除いた修正アドレス SCAD 1, SCAD 2 の値を減算し、減算結果が「0」のとき、または、減算結果が「1」でありかつ修正アドレス SCAD 1, SCAD 2 の下位 2 ビットが「0」でないとき（これは（アドレス信号 SAD - 修正アドレス SCAD 1, SCAD 2）の演算結果が「-3」以上「3」以下である場合に相当する）、隣接一致信号 SCO 1, SCO 2 として“H”を出力する。

【0059】

隣接一致信号 SCO 1, SCO 2 は、データレジスタ切替回路 3 1 およびアドレスレジスタ切替回路 3 2 にそれぞれ入力される。

【0060】

データレジスタ切替回路 3 1 は、データレジスタ 2 4 A, 2 4 B から出力された修正データ SCDT 1, SCDT 2 から、隣接一致信号 SCO 1, SCO 2 として“H”が出力された方の値を選択し、選択修正データ SSCDT として出力する。また、アドレスレジスタ切替回路 3 2 は、アドレスレジスタ 2 3 A, 2 3 B から出力された修正アドレス SCAD 1, SCAD 2 の下位 3 ビットから、隣接一致信号 SCO 1, SCO 2 として“H”が出力された方の値を選択し、選択修正アドレス信号 SSCAD として出力する。

【0061】

データレジスタ切替回路 3 1 から出力された選択修正データ SSCDT と、アドレスレジスタ切替回路 3 2 から出力された選択修正アドレス信号 SSCAD のうちの下位 2 ビットは、データローテート回路 3 3 に入力される。データローテート回路 3 3 は、選択修正データ SSCDT が示す値を、選択修正アドレス SSCAD の下位 2 ビットが示すバイト数分だけローテートさせ、ローテートデータ SRT として出力する。

【0062】

記憶データ選択部 1 7 は、第 1 の実施形態と同様の構成からなる。バイト切替制御回路 1 8 は、隣接一致信号 SCO 1, SCO 2 の論理和 SSCO と選択修正アドレス SSCAD とを入力し、第 1 の実施形態と同様の論理によって、4 個のバイト切替制御信号 SSa ~ SSd を生成する。また、バイト切替回路 1 9 は、

4 バイト幅のROMデータ信号SROMとデータローテート回路33から出力されたローテートデータSRTとを入力とする。そして、バイト切替制御信号SSa～SSdの制御によって、バイト単位で、ROMデータ信号SROMとローテートデータSRTのいずれかを選択し、データ信号SDTとして出力する。出力されたデータ信号SDTはマイクロプロセッサ12に送られる。

【0063】

以上のように構成された記憶データ修正回路について、以下、その動作を説明する。

【0064】

図5(a)は1チップマイコンの製造時にマスクROM11に記憶されたプログラムのリストの一部であって、修正前のものである。ここでは、4081番地のADD命令に加えて、4105番地のAND命令および4109番地のCMP命令にも、製造後に誤りが発見されたものとしている。したがって、図5(b)に示す修正後のプログラムリストでは、4081番地のADD命令をCALL命令(「FA」「FF」「67」「45」)に置き換え、さらに、4107番地からの4バイトを「08」「00」「A0」「08」に置き換えることによって、上述の誤りを修正している。

【0065】

この修正を行うために、マイクロプロセッサ12がプログラムを実行する以前例えばリセット期間中に、1チップマイコンの外部端子からシリアル書込クロック信号CLKとシリアル書込データ信号WDTによって、アドレスレジスタ23A, 23Bに修正アドレスSCAD1, SCAD2として4081番地、4107番地を設定するとともに、データレジスタ24A, 24Bに修正データSCDT1, SCDT2として「FA」「FF」「67」「45」および「08」「00」「A0」「08」をそれぞれ設定する。

【0066】

なお、本実施形態では、第1の実施形態のように、修正データSCDT1, SCDT2の配置を修正アドレスSCAD1, SCAD2の下位2ビットの値に従って定める必要はない。すなわち、修正データSCDT1, SCDT2は、デー

タレジスタ24A、24Bの第0バイトから順に配置すればよい。これは、データローテート回路33を設けたことによって得られた効果であり、データローテート回路33の具体的な動作については、後述する。

【0067】

修正アドレスSCAD1、SCAD2および修正データSCDT1、SCDT2が設定された後の動作について、説明する。

【0068】

マイクロプロセッサ12が4080番地をアクセスするとき、マスクROM11からはROMデータ信号SROMとして、製造時に書き込まれたデータすなわち「70」「FA」「C0」「34」が出力される。このとき、第1の隣接一致回路25Aはアドレス信号SAD（4080番地）と第1のアドレスレジスタ23Aから出力された修正アドレスSCAD1（4081番地）とを比較し、隣接一致信号SCO1として“H”を出力する。一方、第2の隣接一致回路25Bはアドレス信号SAD（4080番地）と第2のアドレスレジスタ23Bから出力された修正アドレスSCAD2（4107番地）とを比較し、隣接一致信号SCO2として“L”を出力する。

【0069】

アドレスレジスタ切替回路32は、第1の隣接一致信号SCO1が“H”であるので、第1のアドレスレジスタ23Aから出力された修正アドレスSCAD1（4081番地）の下位3ビットを選択し、選択修正アドレスSSCADとして出力する。また、データレジスタ切替回路31も、第1の隣接一致信号SCO1が“H”であるので、第1のデータレジスタ24Aから出力された修正データSCDT1を選択し、選択修正データSSCDTとして出力する。

【0070】

このとき、データローテート回路33に入力される選択修正アドレスSSCADの下位2ビットは、「1」になる。このため、データローテート回路31は、選択修正データSSCDTとして入力されるデータレジスタ24Aの出力「FA」「FF」「67」「45」を1バイト分だけローテートし、ローテートデータ信号SRTとして「45」「FA」「FF」「67」を出力する。

【0071】

バイト切替制御回路18は、アドレス信号SADの第2ビットが“0”であり、選択修正アドレスSSCADの第2ビットが“0”、下位2ビットの値が「1」であることから、バイト切替制御信号SSa～SScとして“H”を出力し、バイト切替制御信号SSdとして“L”を出力する。これにより、バイト切替回路19は、データ信号SDTとして、第0バイトはROMデータ信号SROMを選択し、第1～3バイトはローテートデータ信号SRTを選択する。この結果、データ信号SDTとして「70」「FA」「FF」「67」が出力される。

【0072】

また、マイクロプロセッサ12が4084番地をアクセスするときも同様に、隣接一致回路25Aは隣接一致信号SCO1として“H”を出力し、隣接一致回路25Bは隣接一致信号SCO2として“L”を出力する。この結果、データ信号SDTとして「45」「02」「AB」「89」が出力される。

【0073】

マイクロプロセッサ12が4104番地をアクセスするとき、隣接一致回路25Aはアドレス信号SAD（4104番地）と修正アドレスSCAD1（4081番地）とを比較し、隣接一致信号SCO1として“L”を出力する一方、隣接一致回路25Bはアドレス信号SAD（4104番地）と修正アドレスSCAD2（4107番地）とを比較し、隣接一致信号SCO2として“H”を出力する。したがって、アドレスレジスタ切替回路32は修正アドレスSCAD2（4107番地）の下位3ビットを選択し、選択修正アドレスSSCADとして出力する。また、データレジスタ切替回路31も修正データSCDT2を選択し、選択修正データSSCDTとして出力する。

【0074】

このとき、データローテート回路33に入力される選択修正アドレスSSCADの下位2ビットは、「3」になる。このため、データローテート回路31は、選択修正データSSCDTとして入力されるデータレジスタ24Bの出力「08」「00」「A0」「08」を3バイト分ローテートし、ローテートデータ信号SRTとして「00」「A0」「08」「08」を出力する。

【0075】

バイト切替制御回路18は、アドレス信号SADの第2ビットが“1”であり、選択修正アドレスSSCADの第2ビットが“1”、下位2ビットの値が「3」であることから、バイト切替制御信号SSa～SScとして“L”を出力し、バイト切替制御信号SSdとして“H”を出力する。これにより、バイト切替回路19はデータ信号SDTとして「71」「FA」「E0」「08」を出力する。

【0076】

また、マイクロプロセッサ12が4108番地をアクセスするときも同様に、隣接一致回路25Aは隣接一致信号SCO1として“L”を出力し、隣接一致回路25Bは隣接一致信号SCO2として“H”を出力する。この結果、データ信号SDTとして「00」「A0」「08」「C8」が出力される。

【0077】

一方、マイクロプロセッサ12が4080番地、4084番地、4104番地および4108番地以外をアクセスする場合は、隣接一致回路25A、25Bは隣接一致信号SCO1、SCO2として“L”を出力する。これにより、マスクROM11から出力されたROMデータ信号SROMが、そのままデータ信号SDTとしてマイクロプロセッサ12に送られる。

【0078】

このように、アドレスレジスタ23A、23Bに修正アドレスSCAD1、SCAD2として4081番地および4107番地を設定し、データレジスタ24A、24Bに修正データSCDT1、SCDT2として「FA」「FF」「67」「45」および「08」「00」「A0」「08」を設定することによって、各修正アドレスSCAD1、SCAD2に対してアクセスした場合には修正データSCDT1、SCDT2がマイクロプロセッサ12に送られる。この結果、図5(b)に示すようなプログラムの修正が実現される。

【0079】

図6(a)も1チップマイコンの製造時にマスクROM11に記憶されたプログラムのリストの一部であって、修正前のものである。ここでは、4081番地

のADD命令に加えて、4085番地のMOV命令にも誤りが発見されたものとしている。したがって、図6(b)に示す修正後のプログラムリストでは、4081番地から4バイトを「FA」「FF」「67」「45」に置き換え、さらに4085番地からの3バイトを「02」「EF」「CD」に置き換えることによって、上述の誤りを修正している。

【0080】

このように連続4バイトを越えて修正を行う場合には、本実施形態では、アドレスレジスタ23A, 23Bに修正アドレスSCAD1, SCAD2として4バイトアラインのアドレスを設定する。すなわち、アドレスレジスタ23A, 23Bに修正アドレスSCAD1, SCAD2として4080番地、4084番地を設定するとともに、データレジスタ24A, 24Bに修正データSCDT1, SCDT2として「70」「FA」「FF」「67」および「45」「02」「EF」「CD」をそれぞれ設定する。

【0081】

このように設定を行った後、マイクロプロセッサ12が4080番地をアクセスするときは、第1の隣接一致信号SCO1として“H”が出力され、第2の隣接一致信号SCO2として“L”が出力される。このとき、データレジスタ24Aから出力された修正データSCDT1が、データレジスタ切替回路31から選択修正データSSCDTとして出力され、さらにデータローテート回路33からローテートデータ信号SRTとして出力される。また、バイト切替制御信号SSa～SSdとして全て“H”が出力されるので、データ信号SDTとしては、データレジスタ24Aから出力された修正データSCDT1の値すなわち「70」「FA」「FF」「67」が出力される。

【0082】

また、マイクロプロセッサ12が4084番地をアクセスするときは、第1の隣接一致信号SCO1として“L”が出力され、第2の隣接一致信号SCO2として“H”が出力される。したがって、データ信号SDTとしては、データレジスタ24Bから出力された修正データSCDT2の値すなわち「45」「02」「EF」「CD」が出力される。この結果、図6(b)に示すようなプログラム

の修正が実現される。

【 0 0 8 3 】

以上のように本実施形態によると、アドレスレジスタ、データレジスタおよび隣接一致回路を2個ずつ設けることによって、図5の例のように、2回の読み出しアクセスを必要とする2箇所の修正を行うことが可能になる。また、各隣接一致回路は、修正アドレスが4バイトアラインにあるとき、隣接するアドレスに対するアクセスを判断しないので、4バイト境界のアドレスから始まる4バイト以上のデータを連続して修正することが可能となる。

【 0 0 8 4 】

また、修正データを修正アドレスの下位2ビットの値に相当するバイト数分ローテートするデータローテート回路を設けたことによって、修正データを、修正を行う並び順のままデータレジスタに設定することが可能になる。もちろん、データローテート回路を設けなくて、データレジスタ切替回路31から出力された選択修正データSSCDTをそのままバイト切替回路19に入力させるように構成してもかまわない。ただしこの場合は、第1の実施形態と同様に、修正データの設定を、修正アドレスの下位2ビットの値が示すバイト位置から順に行う必要がある。

【 0 0 8 5 】

一方、本実施形態に係るデータローテート回路を、第1の実施形態に係る構成に設けることによって、本実施形態と同様の効果を得ることができる。すなわち、図1の構成において、データレジスタ14とバイト切替回路19との間に、修正データSCDTを修正アドレスSCADの下位2ビットの値に相当するバイト数分ローテートするデータローテート回路を設けることによって、修正データSSCDTを、修正を行う並び順のままデータレジスタ14に設定することが可能になる。

【 0 0 8 6 】

なお、本実施形態では、アドレスレジスタとデータレジスタ、および隣接一致回路をそれぞれ2組ずつ設けるものとしたが、これらをそれぞれ3組以上設けてもかまわないことは明らかである。

【 0 0 8 7 】

また、上述した各実施形態では、 $N = 2$ とし、マスクROM 11は4 ($= 2^2$) バイトを一括して読み出す構成であるものとしたが、一般に、2のべき乗に相当する数のバイト幅の出力を持つマスクROMを用いた場合に、本発明は同様に適用可能であることは明らかである。

【 0 0 8 8 】

また、上述した各実施形態では、修正アドレスおよび修正データは、1チップマイコンの外部端子から設定されるものとしたが、この代わりに、マイクロプロセッサ 12が実行するプログラムによって設定する構成とすることも可能である。この場合、例えば、1チップマイコンの外部または内部に設けたFlash ROMなどの書き換え可能なメモリ素子に修正アドレスおよび修正データを格納しておき、ブートプログラムに、これらの値がアドレスレジスタおよびデータレジスタに設定されるように、プログラミングすればよい。

【 0 0 8 9 】

また、上述した各実施形態では、マスクROM 11に記憶された命令コードの修正を行っているが、命令コード以外のデータであっても、同様に修正を行うことは可能である。

【 0 0 9 0 】

また、上述した各実施形態では、マスクROMに記録されたデータの修正を行うものとしたが、マスクROM以外の記憶手段に記録されたデータの修正も、同様に実現できることはいうまでもない。

【 0 0 9 1 】

【発明の効果】

以上のように本発明によると、修正アドレスまたはこれに隣接したアドレスに対するアクセスを検出したとき、記憶手段の出力データおよび修正データのいずれかが、バイト単位で、アドレス信号および修正アドレスに応じて選択される。これによって、任意のアドレスからのデータ修正が可能になり、例えばアクセスの境界を跨ぐように記憶された命令コードの修正も可能になる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る記憶データ修正回路の構成図である。

【図 2】

図 1 の構成における記憶データ選択部の詳細な構成を示す図である。

【図 3】

第 1 の実施形態における修正対象のプログラム例を示すリストである。

【図 4】

本発明の第 2 の実施形態に係る記憶データ修正回路の構成図である。

【図 5】

第 2 の実施形態における修正対象のプログラム例を示すリストである。

【図 6】

第 2 の実施形態における修正対象のプログラム例を示すリストである。

【図 7】

従来の記憶データ修正回路の構成図である。

【符号の説明】

- 1 1 マスク ROM (記憶手段)
- 1 3 アドレスレジスタ
- 1 4 データレジスタ
- 1 5 隣接一致回路
- 1 7 記憶データ選択部
- 1 8 バイト切替制御回路
- 1 9 バイト切替回路
- 2 3 A, 2 3 B アドレスレジスタ
- 2 4 A, 2 4 B データレジスタ
- 2 5 A, 2 5 B 隣接一致回路
- 3 1 データレジスタ切替回路
- 3 2 アドレスレジスタ切替回路
- 3 3 データローテート回路
- S A D アドレス信号

SCAD 修正アドレス

SCDT 修正データ

SROM ROMデータ信号（記憶手段の出力データ）

SDT データ信号（修正済記憶データ）

SCAD1, SCAD2 修正アドレス

SCDT1, SCDT2 修正データ

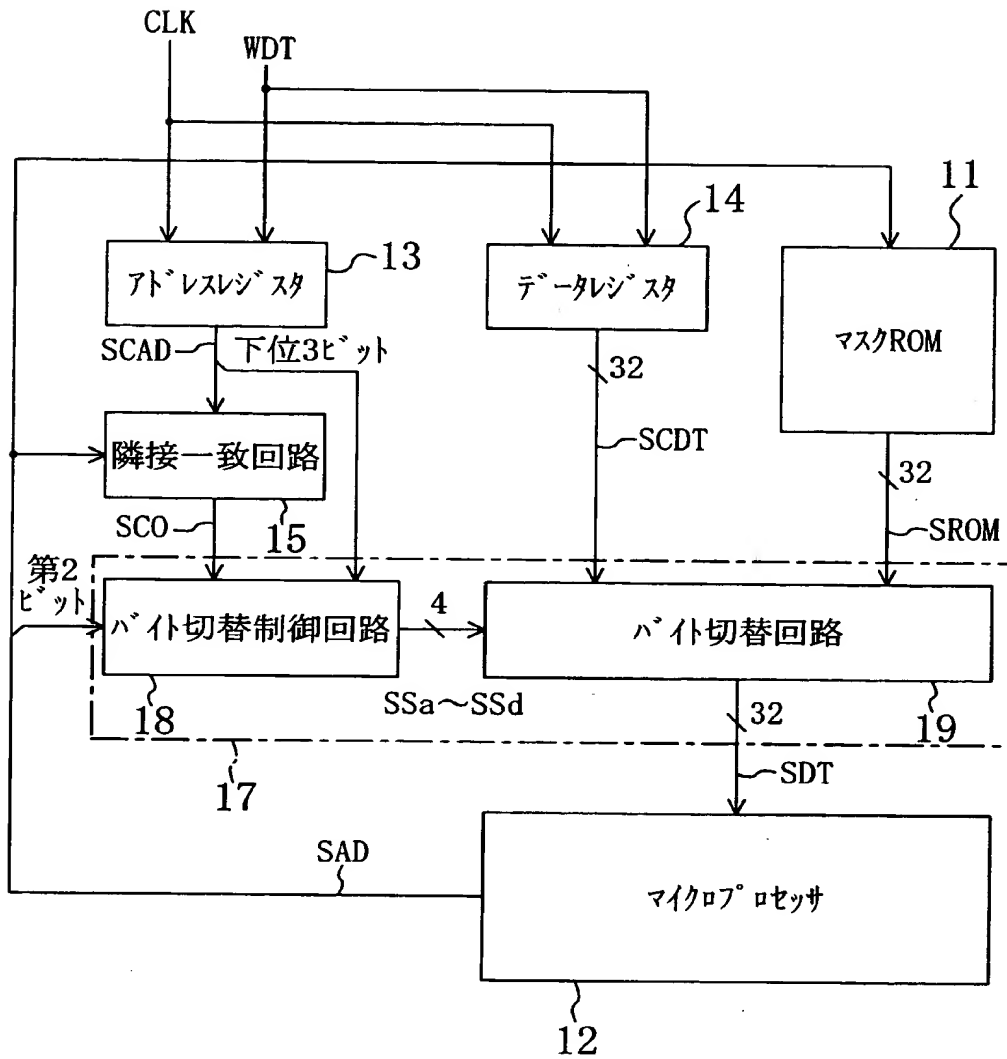
SSCAD 選択修正アドレス

SSCDT 選択修正データ

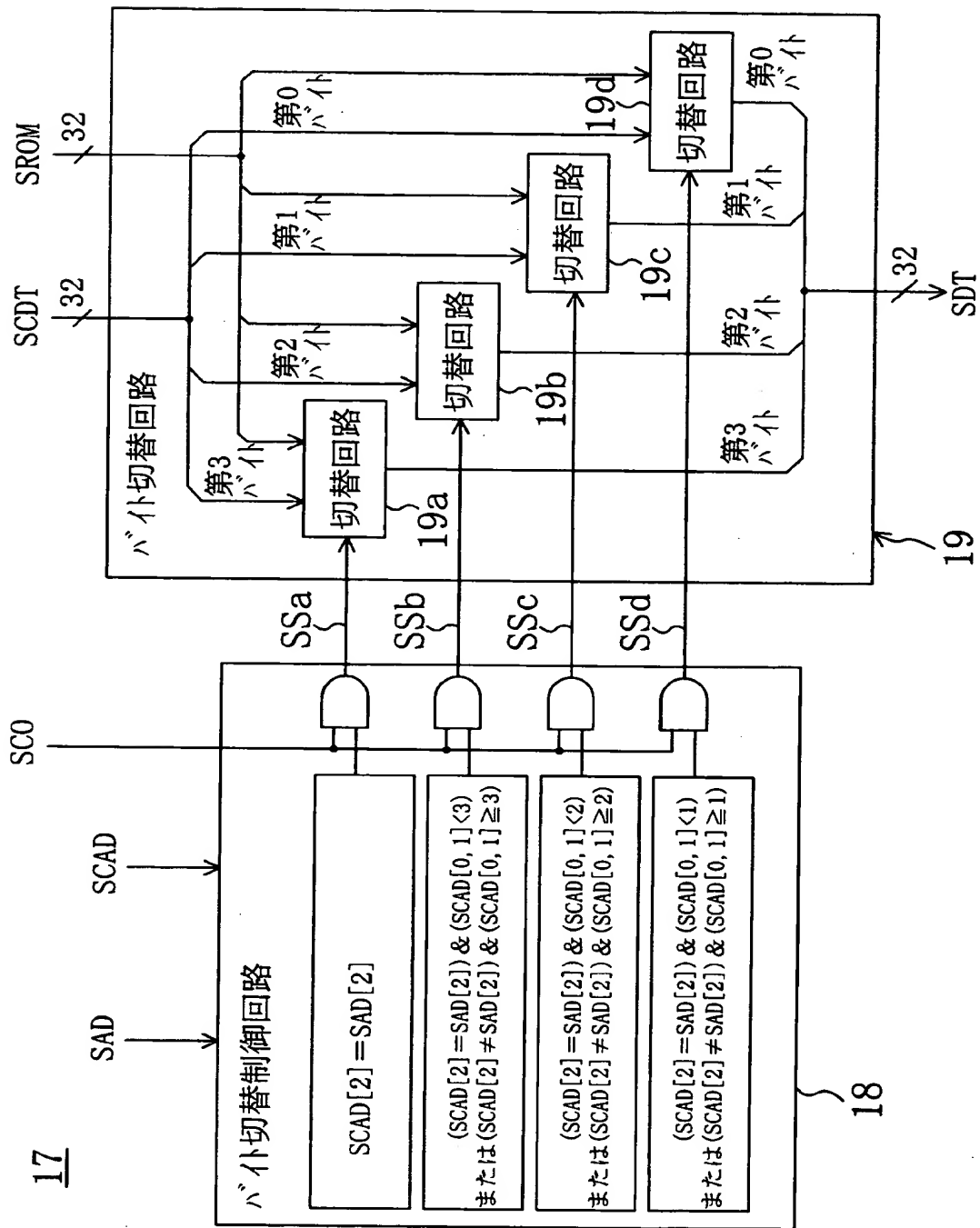
SRT ローテートデータ（データローテート回路の出力）

【書類名】 図面

【図1】



【図2】



【図 3】

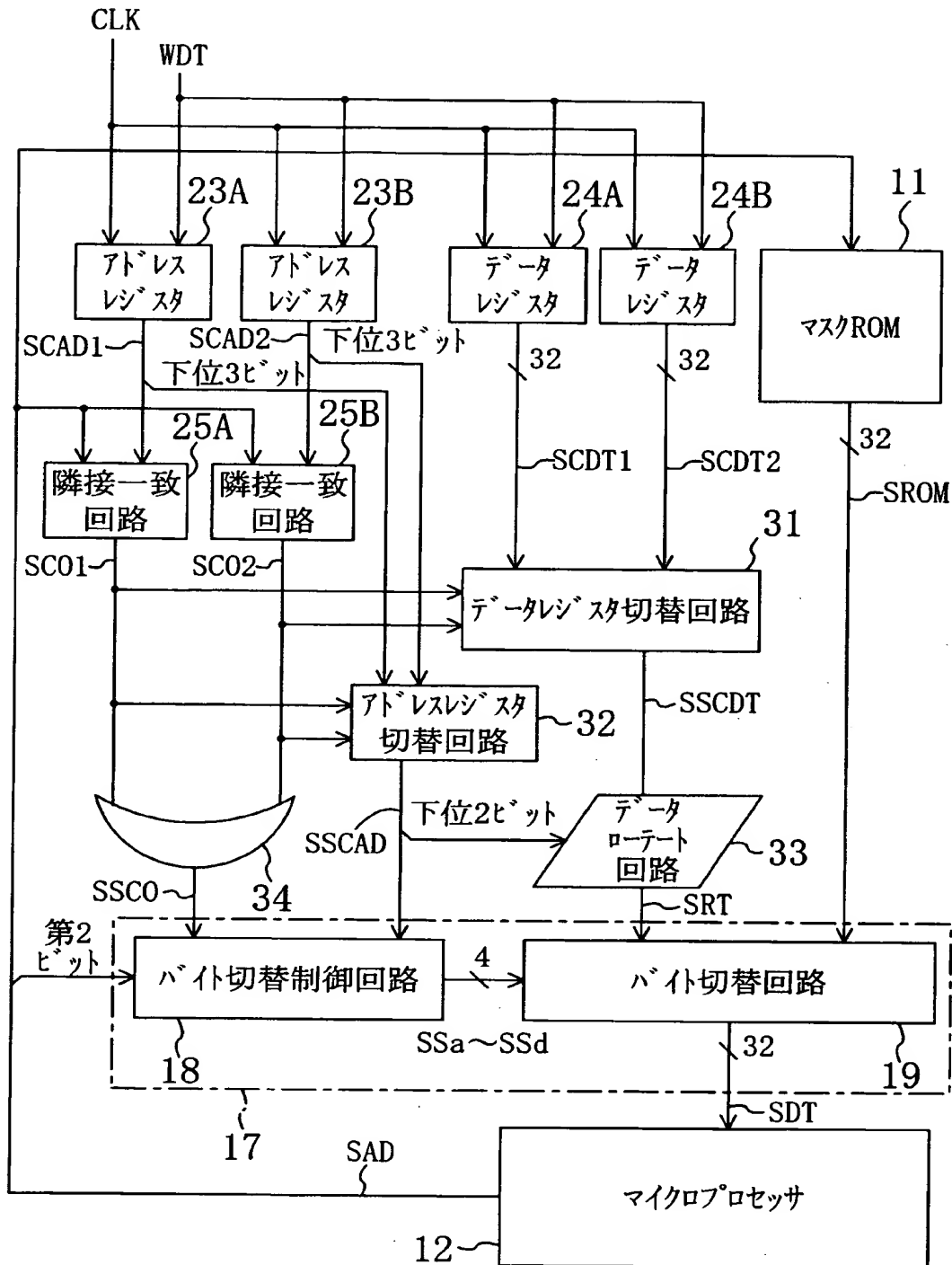
(a) 修正前

⋮	⋮	⋮
00004080	70	MOV (A0), D0
00004081	FAC03412	ADD 0x1234, D0 (誤り)
00004085	02AB89	MOV D0, (0x89ab)
⋮	⋮	⋮

(b) 修正後

⋮	⋮	⋮
00004080	70	MOV (A0), D0
00004081	FAFF6745	CALL 0x4567 (修正)
00004085	02AB89	MOV D0, (0x89ab)
⋮	⋮	⋮

【図 4】



【図 5】

(a) 修正前

00004080	70	MOV (A0), D0
00004081	FAC03412	ADD 0x1234, D0 (誤り)
00004085	02AB89	MOV D0, (0x89ab)
00004104	71	MOV (A1), D0
00004105	FAE00400	AND 0x0004, D0 (誤り)
00004109	A004	CMP 0x04, D0 (誤り)
0000410B	C810	BEQ 0x10

(b) 修正後

00004080	70	MOV (A0), D0
00004081	FAFF6745	CALL 0x4567 (修正)
00004085	02AB89	MOV D0, (0x89ab)
00004104	71	MOV (A1), D0
00004105	FAE00800	AND 0x0008, D0 (修正)
00004109	A008	CMP 0x08, D0 (修正)
0000410B	C810	BEQ 0x10

【図 6】

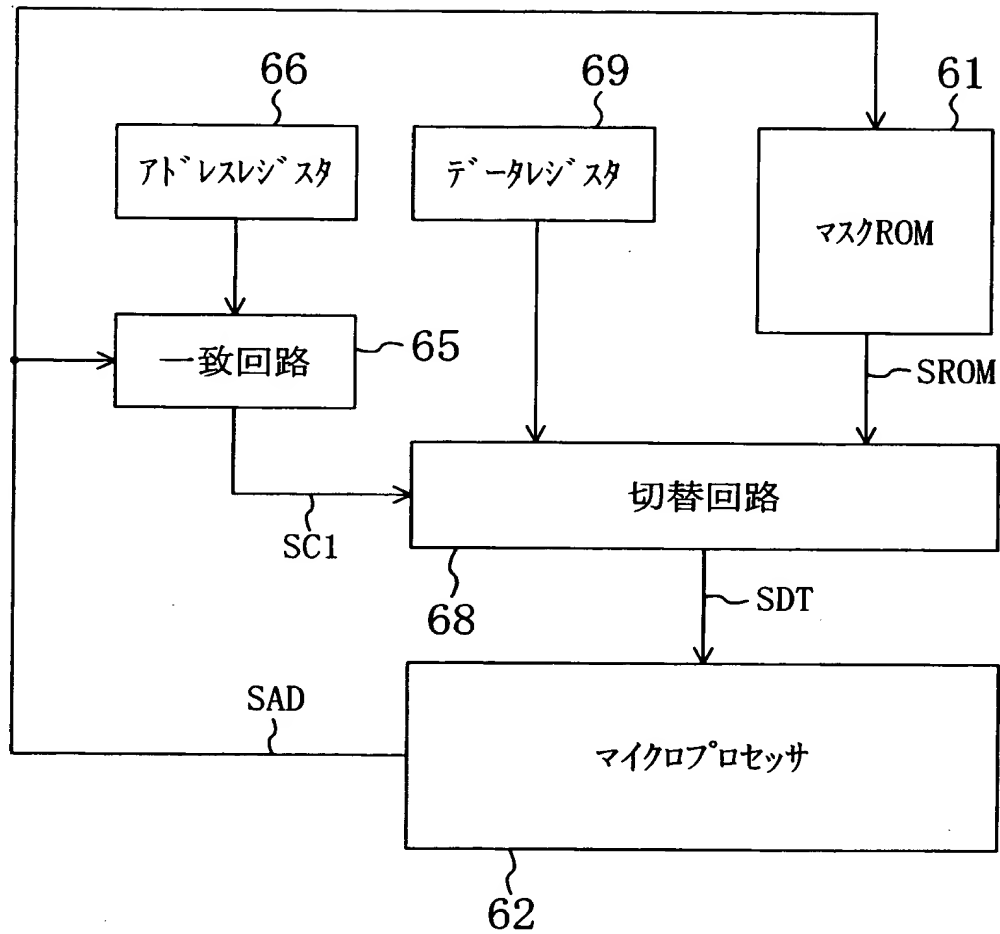
(a) 修正前

⋮	⋮	⋮
00004080	70	MOV (A0), D0
00004081	FAC03412	ADD 0x1234, D0 (誤り)
00004085	02AB89	MOV D0, (0x89ab) (誤り)
⋮	⋮	⋮

(b) 修正後

⋮	⋮	⋮
00004080	70	MOV (A0), D0
00004081	FAFF6745	CALL 0x4567 (修正)
00004085	02EFCD	MOV D0, (0xcdef) (修正)
⋮	⋮	⋮

【図 7】



【書類名】 要約書

【要約】

【課題】 複数バイト幅出力の記憶手段について、任意のアドレスからのデータ修正が可能な記憶データ修正回路を提供する。

【解決手段】 マスクROM 11は、アドレス信号SADが示す 2^N の倍数のアドレスからの 2^N バイトのデータSROMを出力する。隣接一致回路15は、アドレス信号SROMが示すアドレスと修正アドレスSCADとの隣接一致の有無を検出する。記憶データ選択部17は、隣接一致が検出されたとき、マスクROM 11の出力SROMおよび修正データSCDTのいずれかを、バイト単位で、アドレス信号SADおよび修正アドレスSCADに応じて、選択する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社